

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020096988 A  
(43)Date of publication of application: 31.12.2002

(21)Application number: 1020020034103  
(22)Date of filing: 18.06.2002

(71)Applicant: LINX ELECTRONICS, INC.  
(72)Inventor: CITTA RICHARD W.  
LOPRESTO SCOTT M.  
XIA JINGSONG  
ZHANG WENJUN

(51)Int. Cl. H04B 3 /06

(54) COMBINED TRELLIS DECODER AND DECISION FEEDBACK EQUALIZER

(57) Abstract:

PURPOSE: A combined trellis decoder and a decision feedback equalizer are provided to have a gain of the trellis decoder, which is superior to a gain produced when the data are sliced before decoding.  
CONSTITUTION: A Viterbi decoder has 16 stages and produces a decoded output. A mapper(810) is coupled to the decoded output of the Viterbi decoder for producing a mapped output. A decision feedback equalizer(850) is coupled to the mapped output for having more than 16 taps. Each of the 16 taps receives the mapper output from a respective one of the 16 stages of the Viterbi decoder.

copyright KIPO 2003

Legal Status

Date of request for an examination (20020618)  
Notification date of refusal decision (00000000)  
Final disposal of an application (registration)  
Date of final disposal of an application (20051213)  
Patent registration number (1005606270000)  
Date of registration (20060307)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent (00000000)  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. 7  
H04B 3/06

(11) 공개번호 특2002-0096988  
(43) 공개일자 2002년12월31일

(21) 출원번호 10-2002-0034103  
(22) 출원일자 2002년06월18일

(30) 우선권주장 09/884.256 2001년06월19일 미국(US)

(71) 출원인 린스 일렉트로닉스, 인코포레이티드  
미합중국, 인디애나 46278, 인디애나폴리스, 스위트 208, 5980 더블유. 71 스트리트

(72) 발명자 시아정승  
미국,일리노이60060,문델레인,에버그린스트리트1044  
시타리차드더블유.  
미국,일리노이60302,오크파크,노스콜럼비안스트리트739  
로프레스토스코트엠.  
미국,일리노이60056,마운트프로스펙트,에스.렉싱턴드라이브2291아파트먼트313  
장웬준  
중국,상하이200030,웨스트화이하이로드55,웬통인포.플라자9층

(74) 대리인 이병호

심사청구 : 있음

(54) 결합된 트렐리스 디코더와 결정 피드백 이퀄라이저

요약

적응성 이퀄라이저는, 트렐리스 디코더와, 상기 트렐리스 디코더의 출력에 연결된 맵퍼와, 상기 맵퍼의 출력에 연결된 결정 피드백 이퀄라이저를 포함한다. 맵들 각각은 트렐리스 디코더의 스테이지들중 서로다른 스테이지로부터의 출력을 맵퍼를 통해 입력으로서 수신한다.

대표도

도 8

색인어

적응성 이퀄라이저, 트렐리스 디코더, 맵퍼

명세서

## 도면의 간단한 설명

도 1은 종래 기술 디지털 수신기의 블록도.

도 2는 도 1의 디지털 수신기에 이용하는데 적합한 종래 기술 이퀄라이저의 도면.

도 3은 도 2의 종래 기술 결정 피드백 이퀄라이저의 다른 상세부들을 도시하는 도면.

도 4는 종래 기술 8VSB 트렐리스 인코더, 프리코더 및, 심볼 맵퍼의 도면.

도 5는 종래기술 트렐리스 도면.

도 6은 에러 레이트와 신호 대 잡음비사이의 관계를 도시하는 그래프.

도 7은 n개의 스테이지들을 갖는 트렐리스 도면을 도시하는 도 3의 종래 기술 결정 피드백 이퀄라이저의 도면.

도 8은 본 발명에 따른 결정 피드백 이퀄라이저의 도면.

도 9는 본 발명에 따른 양호한 실시예 트렐리스 코드 인터리버의 도면.

도 10은 본 발명에 따른 양호한 실시예 트렐리스 코드 디-인터리버의 도면.

도 11은 12개의 병렬 트렐리스 디코더들과 16개의 디코딩 스테이지들을 가진 본 발명에 따른 양호한 실시예 결합된 결정 피드백 이퀄라이저와 트렐리스 디코더의 구조도.

도 12는 도 11의 결정 피드백 이퀄라이저의 출력의 도면.

도 13은 도 11의 결정 피드백 이퀄라이저의 부가적 상세부들을 도시하는 도면.

도 14는 본 발명에 따른 양호한 실시예 이퀄라이저의 어떤 요소들의 도면.

도 15는 12개의 병렬 트렐리스 디코더들과 16개의 디코딩 스테이지들을 가진 본 발명에 따른 양호한 실시예 이퀄라이저의 도면.

## \*도면의 주요 부분에 따른 부호의 설명\*

222 : 유한 임펄스 응답 350 : 트렐리스 디코더

800 : 이퀄라이저 810 : 맵퍼

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이퀄라이저들은 음성, 데이터 및, 비디오 통신들과 같은, 많은 다양한 디지털 정보 응용들에서 중요한 요소이다. 이들 응용들은 다양한 전송 매체를 이용한다. 다양한 매체들은 서로다른 전송 특성들을 가지지만, 그들중 어느 것도 완벽하지 않다. 즉, 모든 매체는 주파수-의존 위상 및 진폭 왜곡과 같은 전송된 신호, 다중-경로 수신, 음성 에코들(voice e

choes)과 같은 다른 종류들의 고스팅(ghosting) 및, 레일리 페이딩(Rayleigh fading)으로의 변화를 유발시킨다. 채널 왜곡에 부가하여, 가상으로 모든 종류의 전송은 또한, 상가성 백색 가우시안 잡음(additive white gaussian noise) ("AWGN")과 같은 잡음에 영향을 받는다. 그러므로, 이퀄라이저들은 에코 삭제기들(echo cancelers)(예를들어, 폴-듀플렉스 스피커폰들), 비디오 디고스터들(video deghosters)(예를들어, 디지털 텔레비전에서 또는 디지털 케이블 전송들에서), 무선 모델들과 전화통신을 위한 신호 조정기들(signal conditioners) 및, 다른 그와같은 응용들로서 이용된다.

에러의 하나의 중요한 공급원은 심볼간 간섭(intersymbol interference) ("ISI")이다. ISI는, 진폭 변조된 디지털 전송과 같은, 펄스처리된 정보가, 예를들어, 전화선 또는 공중파 방송과 같은 아날로그 채널을 통해 전송될 때 일어난다. 원래의 신호는 이산 시간 시퀀스(discrete time sequence)의 적당한 근사로서 시작되지만, 수신된 신호는 연속적인 시간 신호이다. 임펄스 트레인(impulse train)의 모양은, 피크들이 원래의 펄스들의 진폭들에 관련되는, 차동 신호(differential signal)로의 전송에 의해 흐려지거나 확산된다. 이 신호는 디지털 하드웨어에 의해 판독되며, 이것은 수신된 신호를 주기적으로 샘플링한다.

각각의 펄스는 통상적으로 사인파에 근사하는 신호를 생성한다. 그 분야에 숙련된 자들은, 사인파가, 중앙 피크로부터의 거리가 증가함에 따라 단조적으로 감소하는 피크들의 진폭을 가진, 중앙 피크 주위에 중심을 잡은 일련의 피크들을 특징으로 한다는 것을 이해할 것이다. 유사하게, 사인파는 중앙 피크로부터의 증가하는 거리와 함께 단조적으로 감소하는 진폭을 가진 일련의 골(trough)들을 갖는다. 통상적으로, 이들 피크들의 주기는 수신 하드웨어의 샘플링 레이트의 차수(order)상에 있다. 그러므로, 신호내의 하나의 샘플링 포인트에서의 진폭은, 전송된 신호내의 포인트에 대응하는 펄스의 진폭에 의해서만이 아닌, 전송 스트림내의 다른 비트들에 대응하는 펄스들로부터의 기여들에 의해서도 영향받는다. 다른 말로 하면, 전송 스트림내의 하나의 심볼에 대응하도록 생성된 신호의 부분은 전송 스트림내의 다른 심볼들에 대응하는 수신된 신호의 부분에 원하지 않는 기여를 하는 경향이 있다.

이러한 효과는, 예를들어, 샘플링 레이트에 대응하는 규칙적 구간들에서 0인 값들을 갖는 펄스들을 발생시킴으로써, 펄스들의 적당한 모양형성(proper shaping)에 의해 이론적으로 제거될 수 있다. 그러나, 이러한 펄스 모양형성은 채널 왜곡에 의해 이루어지지 않을 것이며, 채널 왜곡은 전송중에 펄스들을 희미하게 하거나 확산되게 할 것이다. 결과적으로, 에러 제어의 다른 수단이 필요하다. 그러므로, 대부분의 디지털 응용들은 ISI 및 채널왜곡을 필터링 처리하기 위해 등화(equalization)를 이용한다.

일반적으로, 2개의 타입들의 등화가 이 목적을 달성하기 위해 이용되는데, 자동 합성(automatic synthesis) 및 적응(adaptation)이다. 자동 합성 방법들에서, 이퀄라이저는 통상적으로 수신된 시간-도메인 기준 신호를 왜곡되지 않은 트레이닝 신호의 저장된 카피(copy)와 비교한다. 2개를 비교함으로써, 역 함수(inverse function)(필터)의 계수를 계산하는데 이용될 수 있는 시간-도메인 에러 신호가 결정된다. 이러한 역 함수의 형식화는, 제로 포싱 등화(Zero Forcing Equalization) 및 최소 평균 자승(Least Mean Square)("LMS") 시스템들에서 행해진 것처럼, 시간 도메인에서 엄격하게 달성될 수 있다. 다른 방법들은 수신된 트레이닝 신호의 스펙트럼 표현으로의 변환을 포함한다. 그다음에, 스펙트럼 역 응답(spectral inverse response)은 채널 왜곡을 보상하기 위해 계산될 수 있다. 그다음에, 이러한 역 스펙트럼은 필터 탭 가중들(filter tap weights)이 추출될 수 있도록 시간-도메인 표현으로 되돌려져 변환된다.

적응성 등화에서, 이퀄라이저는, "결정 디바이스"에 의해 발생되는, 전송된 신호의 추정과 이퀄라이저의 출력사이의 차이에 기초하여 에러 신호를 감소시키려 한다. 다른 말로 하면, 이퀄라이저 필터는 샘플을 출력하고, 결정 디바이스는

어떤 값이 가장 가능성있게 전송되었는지를 결정한다. 적응 논리(adaptation logic)는 이들 2개의 작은 것 사이의 차이를 유지하려 한다. 주 아이디어는 수신기가 전송된 펄스들내에서 가능한 이산 레벨들의 지식을 이용한다는 것이다. 결정 디바이스가 이퀄라이저 출력을 양자화할 때, 그것은 본질적으로 수신된 잡음을 버리고 있다. 적응성 및 자동 합성 등화사이의 중대한 차이는 적응성 등화가 트레이닝 신호를 요구하지 않는 것이다.

에러 제어 코딩은 일반적으로 2개의 주요 카테고리들중 하나에 속하게 되는데, 콘볼루셔널 코딩(convolutional coding) 및 블록 코딩(리드-솔로몬 및 골레이 코딩(Reed-Solomon and Golay coding) 같은)이다. 등화의 적어도 하나의 목적은 채널 왜곡의 역함수인 수학적 "필터"의 발생을 허용하는 것이며, 그래서 수신된 신호는 전송된 신호에 더 가까이 근사하는 어떤 것으로 되돌려져 변환될 수 있다. 데이터를 부가적 심볼들로 인코딩함으로써, 부가적 정보는, 디코더가 수신된 신호의 해석의 정확성을 개선시키기 위해 이용할 수 있는, 전송된 신호에 포함될 수 있다. 물론, 이러한 부가적 정확성은 부가적 문자들을 전송하는데 필요한 부가적 대역폭을 희생하거나, 또는 더 높은 주파수에서 전송하는데 필요한 부가적 에너지를 희생하여 달성된다.

콘볼루셔널 인코더는, 데이터가 클럭킹되는 K-스테이지 시프트 레지스터를 포함한다. 값 K는 코드의 "억제 길이(constraint length)"라 불린다. 시프트 레지스터는 선택된 코드 다항식들(code polynomials)에 따라 다양한 포인트들에서 탭핑된다. 몇몇 탭 세트들은 코드 레이트에 따라 선택된다. 코드 레이트는 분수로서 표현된다. 예를들어, 1/2 레이트 콘볼루셔널 인코더는 입력보다 정확히 두배 많은 심볼들을 갖는 출력을 생성한다. 통상적으로, 탭핑된 데이터의 세트는 인코딩된 출력 심볼들중 하나를 생성하도록 모듈로-2(modulo-2)로 합산된다(즉, XOR 연산이 적용된다). 예를들어, 간단한 K = 3, 1/2 레이트 콘볼루셔널 인코더는 3-스테이지 시프트 레지스터내의 제 1 및 제 3 비트들을 모듈로-2-합산함으로써 출력중 한 비트를 형성할 수 있고, 모든 3개의 비트들을 모듈로-2-합산함으로써 다른 비트를 형성할 수 있다.

콘볼루셔널 디코더는 통상적으로, 최초에 전송된 데이터에 대한 가정들을 발생시키고, 적합한 콘볼루셔널 인코더의 카피를 통해 이들 가정들을 실행하고, 인코딩된 결과들을 수신된 인코딩된 신호(잡음 포함)와 비교함으로써 작동한다. 디코더는 그것이 고려하는 각 가정에 대한 "척도(metric)"를 발생시킨다. "척도"는 디코더가 대응하는 가정에서 갖는 신뢰도에 대응하는 숫자값이다. 디코더는 직렬 또는 병렬일 수 있으며, 즉 한번에 하나의 가정 또는 몇몇의 가정들을 추구할 수 있다.

블록 인코딩을 통한 콘볼루셔널 인코딩의 하나의 중요한 장점은 콘볼루셔널 디코더들은 "소프트 결정(soft decision)" 정보를 용이하게 이용할 수 있다. "소프트 결정" 정보는, 단순히 하나의 가정을 "정확한" 해답으로서 선택하는 것보다는, 척도들에 대한 정보를 보유하는 출력을 생성하는 것을 본질적으로 의미한다. 과도하게 간단한 예로서, 단일 심볼이 전송 신호에서 "1"이었던 80%의 가능성과, "0"이었던 단지 20%의 기회를 가지도록 디코더에 의해 결정된다면, "하드 결정(hard decision)"은 간단히 그 심볼에 대한 1의 값을 반환할 것이다. 그러나, "소프트 결정"은, 다른 하드웨어 다운스트림이 신뢰도에 기초하여 다른 결정들을 하는 것을 허용하기 위해, 0.8의 값 또는, 확률들의 불포에 대응하는 아마도 어떤 다른 값을 반환할 것이다.

한편, 블록 코딩은 더 큰 데이터 블록들을 다룰 더 큰 능력 및, 버스트 에러들(burst errors)을 다룰 더 큰 능력을 갖는다.

도 1은, (100)에서 일반적으로 표시된, 채널 코딩과 등화를 포함하는, 통상적인 디지털 통신 수신기의 블록도를 예시

한다. 수신기(100)는 복조 및 동기 성분 (demodulation and sync component)(110)을 포함하며, 이것은 수신된 아날로그 신호를 디지털 포맷으로 되돌려서 변환한다. 수신기(100)는 이퀄라이저(120), 내부 디코더(inner decoder), 디-인터리버(de-interleaver)(140) 및, 외부 디코더(150)를 더 포함한다. 내부 코딩은 통상적으로 통상적으로 콘볼루셔널 코딩이며, 한편 외부 코딩은 통상적으로는 블록 코딩, 대부분 중중 리드-솔로몬 코딩이다. 콘볼루셔널 및 블록 코딩은 각각의 보충적 장점들을 이용하기 위해서 일반적으로 결합된다.

도 2는 도 1에 도시된 디지털 수신기(100)에 흔히 이용되는 바와같은 이퀄라이저(120)의 도면이다. 통상적으로, 이퀄라이저(120)는 제어기(228), 유한 임펄스 응답 ("FIR" )(222), 결정 디바이스(226) 및, 결정 피드백 이퀄라이저("DFE" )(224)를 포함한다. FIR 필터(222)는 입력 신호(221)를 수신한다. FIR 필터(222)는 프리-고스트들, 즉, 주 전송 신호전에 도달하는 고스트 신호들을 삭제하는데 이용된다. 결정 디바이스(226)는 입력들을 검사하며, 입력에서의 수신된 신호들중 어느 신호가 출력에서 전송될 신호인지에 관한 결정을 한다. 결정 디바이스(226)로의 입력은 결정 피드백 이퀄라이저(224)에 의해 수정되며, 이것은 포스트-고스트들, 즉, 주 전송 신호이후에 도달하는 고스트 신호들과, FIR 필터(222)로부터 발생된 잔여 신호(residual signal)를 삭제하는데 이용된다.

결정 디바이스(226)는 통상적으로 슬라이서(slicer)와 같은 하드 결정 디바이스이다. 예를들어, 8VSB 시스템에서, 슬라이서는  $\pm 1$ ,  $\pm 3$ ,  $\pm 5$  및,  $\pm 7$ 의 정규화된 신호 값들에 대응하는 심볼들로 입력을 분류하기 위해서, 0,  $\pm 2$ ,  $\pm 4$  및,  $\pm 6$ 의 결정 값들을 가진, 수신된 신호 크기에 기초한 결정 디바이스일 수 있다. 다른 예로서, 슬라이서는, 직교 진폭 변조("QAM" ) 시스템들에 이용된 것들과 같은, 다중-차원일 수 있다.

제어기(228)는 입력 데이터 및 출력 데이터를 수신하고, FIR 필터(222) 및 결정 피드백 필터(224)에 대한 필터 계수들을 발생시킨다. 그 분야에 숙련된 자들은, LMS 및 RLS 알고리즘들을 포함하는, 이들 계수들을 발생시키는데 적합한 수많은 방법들이 있다는 것을 이해할 것이다.

도 3은 도 2에 도시된 이퀄라이저(120)의 일 실시예의 다른 상세부들을 예시한다. 결정 피드백 이퀄라이저(224)로의 입력은 슬라이서와 같은 결정 디바이스(226)로부터 출력된다. 입력 데이터는 지연된 (F+M) 스테이지들이며, 여기서 F는 FIR 필터(222)내의 스테이지들의 수와 동일하고, M은 결정 피드백 이퀄라이저(224)내의 스테이지들의 수와 동일하다. 각각의 지연에서, 데이터는 제어기(228)에 의해 발생된 탭 계수들에 의해 곱해지고, 결과들 각각은 FIR 필터(222)의 출력으로 합해진다. 그다음에, 이퀄라이저(120)는 등화된 데이터를 트렐리스 디코더(350)로 통과시킨다. 에러 신호(310)는 출력에서 슬라이서(226)로의 입력을 감산함으로써 발생된다. 에러 신호 (310)는 탭 계수들을 갱신하는데 이용되기 전에 스텝 사이즈(step size)(320)에 의해 곱해진다. 통상적으로, 스텝 사이즈 (320)는, 에러 신호가 다중 싸이클들을 통해 계수 탭들을 반복적으로 조정하는 것을 허용하기 위해, 1보다 작아서, 채널 응답 및 잡음에서의 변화들은 평균된다. 일반적으로, 스텝 사이즈가 더 작을수록, 비록 더 느린 컨버전스(convergence)를 희생하더라도, 이퀄라이저(120)가 커버할 수 있는 과도 조건들(transient conditions)을 더 엄격해진다.

도 4는 도 3에 도시된 결정 피드백 이퀄라이저(224)와 함께 이용하기에 적합한, (400)에 일반적으로 도시된, 트렐리스 인코더의 일 실시예의 다른 상세부들을 도시한다. 트렐리스 인코더(400)는 8VSB 트렐리스 인코더, 프리코더 및, 심볼 매퍼이다. 그 분야에 숙련된 자들에 의해 잘 알려진 바와같이, 8VSB 트렐리스 인코더(400)는 8-레벨, 3-비트, 1차원 배열(constellation)을 이용한다. 도 4로부터 알수있는 바와같이, 8VSB 트렐리스 인코더(400)는 2/3 레이트 트렐리스 코드를 이용한다.

통상적으로, 트렐리스 디코더(350)는 8VSB 트렐리스 인코더(400)에 의해 인코딩된 신호를 디코딩하도록 비터비 알고리즘을 이용한다. 통상적으로, 트렐리스 디코더(350)는 다수의 스테이지들, 대부분 16 또는 24의 스테이지들을 갖는다. 디코딩된 출력(229)는 디-인터리버(140)에 의해 디인터리브되고, 그다음에 외부 디코더(150)로 송신된다.

도 5는, (500)에서 일반적으로 도시된,  $n$ 개의 스테이지들을 가진 8VSB 트렐리스 코드에 대한 통상적인 트렐리스 도면이다. 더 굵은 선은 현재의 서바이브 경로(survive path)를 예시한다. 각각의 디코딩 클럭 사이클에서, 새로운 심볼은 트렐리스 디코더로 송신되고 서바이브 경로는 갱신된다. VSB 시스템에서 각각의 샘플은 하나의 심볼을 포함한다는 것이 이해될 것이며, 한편 QAM 또는 오프셋-QAM 시스템들에서, 각각의 샘플은 2개의 심볼들을 포함하는데, 하나의 I 채널에, 다른 하나는 Q 채널에 있다. 그러나, 샘플 크기에 관계없이, 코딩 및 디코딩은 항상 한 심볼씩 수행된다. 각 스테이지에서, 서바이브 경로에 기초하여, 어느 상태가 가장 가능성 있는지 (즉, 어느 심볼이 가장 가능성있게 전송되었는지)에 대한 결정이 이루어진다. 예를들어, 스테이지 1은 입력에 제 1 추정을 주고, 스테이지 2는 입력에 제 2 추정을 주는 등이다. 서바이브 경로는 각각의 새로운 입력이 수신됨에 따라 디코딩 프로세스에 기초하여 변할 수 있다는 것이 이해될 것이며, 그래서 서바이브 경로는 한 입력 샘플 시간으로부터 다른 입력 샘플 시간으로 동일한 것이 아닐 수 있다 (비록 한 심볼 이동되지만).

도 6은 비터비 디코딩 알고리즘을 가진 통상적인 트렐리스 디코더를 이용하여 디코딩 에러 레이트를 도시한다. 그래프로부터 알 수 있는 바와같이, 시스템이 임계값이하 및, 임계값 약간 위에서 동작할 때, 에러 레이트는 디코딩이후에 더 낮으며, 디코딩 스테이지가 더 클수록, 에러 레이트가 더 낮아진다. 그래프는 또한 이른 디코딩 스테이지들이 이후의 것들보다 더 높은 이득(gain)을 갖는다는 점을 도시한다.

도 7은 이퀄라이저(120)의 부가적인 상세부들을 도시한다. 에러 신호(310)는 슬라이서 입력으로부터 슬라이서 출력을 감산하고, 그다음에 스텝 사이즈(320)로 곱함으로써 간단히 취해진다. 그다음에, 스텝핑된 에러 신호(steped error signal)는 FIR 필터(222) 및 DFE(224)로의 입력에 의해 곱해지고, 결과들은 이퀄라이저 탭들을 갱신하도록 누산기들(accumulators)(710)로 송신된다. 이러한 에러 신호는 단지 입력 신호와 슬라이싱된 데이터 레벨사이의 변화를 포착한다. 슬라이싱된 데이터 레벨이 최초에 전송된 데이터 레벨에 대응하지 않을 때마다, 에러 신호는 부정확하게 차이를 배제할 것이다. 예를들어, 3의 전송된 값이 4.2로서 수신된다면, 슬라이서는 -0.8의 에러와 함께 4.2를 5로서 판독할 것이다. 이경우의 정확한 에러는 실제로 +1.2이다. 다중경로처리(multipathing)과 같은 채널왜곡을 교정하기 위해 에러 신호를 이용하는, FIR 필터(222) 및 DFE(224)는 그 에러를 전파시킬 것이다.

도 3에서 알 수 있는 바와같이, 종래 기술에서 DFE(224)는 트렐리스 디코더 (350)로부터 독립적으로 작동한다. 즉, 슬라이서(226)는 트렐리스 디코더(350)의 앞부분에 있다(그들사이에 DFE(224)를 가지고). 이러한 배열은 수많은 단점들을 갖는다. 특히, 결정 피드백 이퀄라이저(224)는 언-디코딩된 신호(un-decoded signal)와 함께 동작하며, 이것은 더 높은 에러 레이트를 갖는다. 슬라이서 (226)로의 입력 신호내의 더 높은 에러 레이트는 커버하는 것을 더 느리게 하며, 에러 레이트가 충분히 높다면 실제로 다이버전스(divergence)를 일으킬 수 있다. 또한, 이것은 슬라이서가 전송된 심볼들에 대한 부정확한 결정들을 하도록 할 것이며, 이것은 트렐리스 디코더(350)로 상기 결정들을 통과시킬 것이며, 여기서 에러는 전파될 것이다. 이퀄라이저의 이득은 그에의해 더 심하게 손상될 것이다.

필요한 것은, 트렐리스 디코더(350)의 이득이 디코딩전에 데이터가 슬라이싱될 때 생성되는 것보다 우수한 이퀄라이저이다. 부가하면, DFE가 언디코딩된 데이터에 의존하지 않는 이퀄라이저가 필요하다, 본 발명은 이전의 이퀄라이저들에 대한 다른 장점들을 제공할 뿐아니라, 이들 필요들을 만족시키는데 관한 것이다.

발명이 이루고자 하는 기술적 과제

제 1 실시예 적응성 이퀄라이저는, 트렐리스 디코더, 트렐리스 디코더의 출력에 연결된 맵퍼 및, 맵퍼의 출력에 연결된, 16개보다 적은 탭들을 갖는, 결정 피드백 이퀄라이저를 포함한다. 탭들 각각은 트렐리스 디코더의 16개의 스테이지들 중 서로다른 스테이지로부터의 출력을 맵퍼를 통해 입력으로서 수신한다.

제 2 실시예 적응성 이퀄라이저는, 16개의 스테이지들을 갖는 비터비 디코더, 비터비 디코더의 출력에 연결된 매퍼 및, 매퍼의 출력에 연결된, 16개보다 많은 탭들을 갖는, 결정 피드백 이퀄라이저를 포함한다. 탭들중 16개 각각은 비터비 디코더의 16개의 스테이지들중 서로다른 스테이지로부터의 출력을 매퍼를 통해 입력으로서 수신한다.

제 3 실시예 적응성 이퀄라이저는, 16개의 스테이지들을 갖는 비터비 디코더, 비터비 디코더의 출력에 연결된 매퍼 및, 매퍼의 출력에 연결된, 16개보다 적은 탭들을 갖는, 결정 피드백 이퀄라이저를 포함한다. 탭들 각각은 비터비 디코더의 16개의 스테이지들중 서로다른 스테이지로부터의 출력을 매퍼를 통해 입력으로서 수신한다.

제 4 실시예 적응성 이퀄라이저는 결정 피드백 이퀄라이저와 트렐리스 디코더를 포함하며, 결정 피드백 이퀄라이저는 트렐리스 디코더로부터의 정보를 입력으로서 수신한다.

제 5 실시예 적응성 이퀄라이저는, FIR 필터, FIR 필터에 연결된 트렐리스 디코더 및, 매퍼를 통해서 FIR 필터 및 트렐리스 디코더에 연결되는 결정 피드백 이퀄라이저로 구성된다. 트렐리스 디코더의 출력은 매퍼에 의해 매퍼링 및 스케일링되고, 에러 신호를 발생시키도록 이퀄라이저에 의해 이용된다.

#### 발명의 구성 및 작용

본 발명의 원리들의 이해를 돕기 위하여, 도면에 예시된 실시예에는 참조 부호를 기재하여, 그 실시예의 설명을 위해 특정 용어가 이용될 것이다. 그것에 의해, 본 발명의 범위의 제한이 의도되지 않음을 알 수 있을 것이고, 본 발명에 예시된 것처럼, 예시된 장치에서 대안들 및 변경안들과, 본 발명의 원리들의 다른 응용들이 본 발명에 관련된 기술 분야에 숙련된 사람들에게 의해 통상적으로 얻을 수 있는 것으로 고려될 수 있다. 특히, 본 발명은 8VSB 시스템에 관하여 설명되었지만, 본 발명은 예를 들어, QAM 및 오프셋-QAM를 포함하는 변경안의 다른 형태들과 이용될 수 있음을 고려한다.

도 8은 결정 피드백 이퀄라이저(decision feedback equalizer)(850)가 트렐리스 디코더(trellis decoder)(350)로부터 입력을 수신하는 디코딩 구조를 이용하는, 전체 (800)으로 표시된 본 발명에 따른 제 1 실시예의 이퀄라이저를 설명하는 도면이다. 어떤 실시예들에 있어서, 트렐리스 디코더(350)는 본 기술 분야에서 공지된 것처럼, 비터비 알고리즘(Viterbi algorithm)을 이용한다. 트렐리스 디코더 출력(803)은 매퍼(810)를 통해 결정 이퀄라이저(850)에 입력된다. 매퍼(810)는 신호 레벨들에 대해 역으로 트렐리스 디코더(350)의 출력(803)을 매퍼링 및 스케일링한다. 예를 들어, 8VSB에서 매퍼(810)는  $\pm 1, \pm 3, \pm 5$  및  $\pm 7$ 의 정규화된 신호 레벨들에 대해 역으로 트렐리스 디코더(350)의 출력(803)을 매퍼링 및 스케일링한다. 어떤 실시예들에 있어서, 트렐리스 디코더(350)는 16개의 스테이지들을 갖고, 결정 피드백 이퀄라이저(850)는 M개의 탭들을 갖는다, 상기 실시예들에 있어서, 17번째 탭에서 M번째 탭까지, 결정 피드백 이퀄라이저(850)는 전통적인 결정 피드백 이퀄라이저(224)와 동일한 구조를 갖지만, 상기 부분에 대한 입력은 트렐리스 디코더의 16번째 스테이지로부터 매퍼링 및 스케일링된 출력이다. 1번째 탭에서 16번째 탭까지, DFE(850)에 대한 입력들은 트렐리스 디코더(350)의 1번째 스테이지에서 16번째 스테이지까지 매퍼링 및 스케일링된 출력(803)이다. 도 8에서 알 수 있듯이, 각각의 입력 심볼에 대해서, 서바이브 경로(survive path)(도 8에 비중이 큰 라인으로 강조됨)가 존재한다. 1 스테이지에서 16 스테이지까지의 DFE(850)에 대한 입력들은 서바이브 경로상에 매퍼링 및 스케일링된 디코딩된 출력이다.

어떤 다른 실시예들에 있어서, 트렐리스 디코더(350)는 약간의 다른 스테이지들 "n"의 수를 갖고, DFE(850)은 M 탭들을 갖는다. 이들 실시예에 있어서, 결정 피드백 이퀄라이저(850)는 (n+1)번째 탭에서 M번째 탭까지의 동일한 구조를 갖고, 1번째 탭에서 n번째 탭까지, DFE(850)에 대한 입력들은 1번째 스테이지에서 n번째 스테이지까지 트렐리스 디코더(350)로부터 각각 매퍼링 및 스케일링된 출력이다.

현재의 서바이브 경로는 각각의 입력 심볼에 의해 디코딩 처리에 기초하여 변경될 수 있기 때문에, 서바이브 경로는 하나의 샘플 타임에서 다음 샘플 타임까지 동일하지 않을 수 있다. 따라서, DFE(850)에 대한 모든 입력들은 심볼에서 심볼까지 변경될 수 있음을 알 수 있다. 이는, DFE(224)에서 다음 스테이지에 대한 입력이 이전의 스테이지로부터 지연된 심볼이 존재하는 종래 기술의 DFE들(224)과 다르다.



상기 실시예들 중 어떤 실시예에 있어서, 이퀄라이저 탭들은 도 7에 도시된 것과 같이 생성된다. 에러 신호(310)는 한 슬라이서 출력(slicer output)으로부터 슬라이서 입력을 감산함으로써 얻어진다. 그 다음에, 에러 신호는 스텝 사이즈(320)로 승산된다. 그 결과들은 FIR 필터(222) 및 DFE(224)에 대한 입력으로 승산되고, 이퀄라이저 탭들을 갱신하도록 누산기들(710)에 전송된다.

양호하게, 이퀄라이저 탭들은 도 8에 도시된 것처럼 별도로 생성된다. 원래의 에러 신호(raw error signal)는 에러 합산기(860)에 의해 트렐리스 디코더(350)의 맵핑 및 스케일링된 출력(229)으로부터 트렐리스 디코더(350)에 대한 입력의 지연된 버전을 감산함으로써 얻어진다. 그 다음에, 원래의 에러 신호는 스텝 사이즈(320)에 의해 승산된다. 이후에, 그 결과는 교정된 에러 신호를 생성하도록 (맵핑 및 스케일링된 출력(229)으로부터 감산될) 합산기(860)에 공급되었던 트렐리스 디코더에 대한 동일한 입력으로 승산된다. 트렐리스 디코더에 대한 상기 입력은 스텝 사이즈(320)에 의해 승산될 에러 신호(860)를 위해 얻어진 사이클들과 동일한 수만큼 다시 지연되어야함을 주목한다. 다음에, 그 결과는 이퀄라이저 탭들을 갱신하기 위해 누산기들(820)에 전송된다.

어떤 다른 실시예들에 있어서, 에러 신호는 트렐리스 디코더(350)의 스테이지들 중 하나의 맵핑 및 스케일링된 출력(803)으로부터 트렐리스 디코더(350)에 대한 입력의 지연된 버전을 감산함으로써 얻어진다.

당 분야에 익숙한 기술인들은 몇몇 인코딩 방식들이 8VSB 시스템을 포함하여, 병렬로 작동하는 복수의 독립적인 인코더들을 갖는다는 것을 이해할 것이다(상기 시스템은 그러한 병렬 인코더들을 12개 사용한다). 통상적으로, 그러한 시스템들에서는 트렐리스 코드 세그먼트내 인터리빙(trellis code intrasegment interleaving) 방식이 사용된다. 이것은 인터리브된 데이터 심볼들(interleaved data symbols)로 동작하는 대응하는 동일한 개수의 트렐리스 인코더들 및 프리코더들을 사용한다. 12개의 병렬 인코더들을 사용하는 시스템에서, 예를 들어, 코드 인터리빙은, 0번째, 12번째, 24번째 ... 심볼들을 제 1 그룹으로 인코딩하고, 1번째, 13번째, 25번째 ... 심볼들을 제2그룹으로 인코딩하며, 2번째, 14번째, 26번째 ... 심볼들을 제3그룹으로 인코딩하며, 계속해서 이와 같은 방식으로 총 12개의 그룹들에 대해 인코딩함으로써 달성된다.

도 9는 도 4에 도시된 바와 같은 매퍼(mapper)를 제공하는, 도면 부호 900으로 일반적으로 도시된, 트렐리스 코드 및 프리코더 세그먼트내 인터리버를 도시한다. 바이트 인터리버(또는 멀티플렉서)(910)로부터 트렐리스 인코더 및 프리코더(920)로 바이트들(bytes)이 제공되며, 이 바이트들은 12개의 인코더(920) 각각에 의해 전체 바이트들로서 처리된다. 각각의 바이트는 단일 인코더(920)에서 4개의 심볼들을 생성한다. 이들 바이트들은 디멀티플렉서(930)에서 단일 비트 스트림으로 모두 어셈블된다. 8VSB 수신기는 도 10에 도시된 바와 같이, 모든 12번째 심볼들을 각각 수신하는 12개의 트렐리스 디코더들을 병렬로 사용한다. 상기 비트 스트림은 멀티플렉서(1010)에 의해 다시 인터리브되어 병렬 디코더들(1020)로 제공되며, 그런 다음 디멀티플렉서(1030)에 의해 단일 비트 스트림으로 다시 어셈블된다.

도 11은 결합된 DFE(850) 및 트렐리스 디코더(350)에 대한 양호한 실시예 구조를 도시하며 상기 디코더(350)는 12개의 독립적인 병렬 트렐리스 디코더들을 가지며, 각각의 디코더들은 도면 부호(1100)으로 일반적으로 도시된 바와 같이 16개의 디코딩 스테이지들을 갖는다(다른 개수의 트렐리스 디코더들이 사용될 수도 있고, 또는 다른 개수의 스테이지들을 갖는 트렐리스 디코더들이 사용될 수도 있고, 또는 둘 다 상이한 개수가 사용될 수도 있다는 것을 이해할 것이다). 하나의 입력 멀티플렉서가 존재하고 16 출력 디멀티플렉서들이 존재한다. 상기 멀티플렉서 및 디멀티플렉서들의 위치는 0에서 11로 이동하고, 동조하여 반대로 0으로 이동한다. 그래서, 입력 멀티플렉서는 디코더 0에 접속되고 출력 디멀티플렉서 모두는 디코더 0에 접속되고, 이와 같이 계속해서 접속된다. 스테이지1로 표시되고, 스테이지2로 표시되고, 또한 계속해서 스테이지16으로 표시된, 결정 피드백 이퀄라이저(224)에 대한 출력은, 상기 디멀티플렉서 출력으로부터 취해진다. 그래서, 모든 디멀티플렉서들이 디코더(3)에 접속되면, 예를 들어, 상기 결정 피드백 이퀄라이저(224)에 대한 출력은 제 3 트렐리스 디코더, 디코딩 스테이지들 1 내지 16으로부터 취해진다. 도면에 도시된 바와 같이, 각각

의 독립적인 디코더는 독립적으로 작동한다. 예를 들어, 디코더(3)에 제공되는 심볼들은 항상 디코더(3)(물론, 전체 심볼 레이트는 1/12)에 머무르고, 반면에 각각의 디멀티플렉서는 그 출력을 12개의 디코더들 중 하나에서 취한다.

도 12는 도면 부호 (1200)으로 일반적으로 표시된 바와 같이, 12개의 병렬 트렐리스 디코더들 및 16개의 디코딩 스테이지들을 갖는 DFE(850)에서의 디코딩 출력들의 배치를 도시한다. 그래서, DFE(850)는 적어도 192개의 탭들(taps)과, 전체 적어도 192개의 심볼들의 지연을 갖는다. 처음의 192개의 지연 소자들에는, 총 16개의 뱅크들(1210)이 존재한다. 각각의 뱅크는 12개의 심볼 지연 소자들, 또는 12개의 탭들을 갖는다. 제1 뱅크(지연 소자 0)에서의 제1 소자에 대한 입력은 상기 트렐리스 디코더의 스테이지1의 맵핑되고 스케일링된 출력으로부터 취해진다. 제2 뱅크(지연 소자 12)에서의 제1 소자에 대한 입력은 상기 트렐리스 디코더의 스테이지2의 맵핑되고 스케일링된 출력으로부터 취해지며, 이와 같이 계속 진행하여 제16 뱅크(지연 소자 180)에서의 제1 소자에 대한 입력이 상기 트렐리스 디코더의 스테이지 16의 맵핑되고 스케일링된 출력으로부터 취해진다. 그러므로, 16개의 뱅크 각각에는 12개의 지연 소자들이 존재한다.

도 13은 도 11에 도시된 상기 결합된 결정 피드백 이퀄라이저의 뱅크들에 대한 다이어그램이다. 16개의 뱅크 각각은 이전의 12-탭 결정 피드백 이퀄라이저들의 구조를 갖는다는 것을 이해할 것이다. 그래서, 제2 탭에서부터 제12 탭까지에 대한 입력은 이전의 심볼에 대한 버전이지만, 도 8에 도시된 바와 같이 1심볼만큼 지연된다. 그렇지만, 제1 탭에 대한 입력은 상기 트렐리스 디코더의 출력으로부터 취해진다.

당 분야에 익숙한 기술인은 임의의 개수의 병렬 인코더들 및 디코더들이 본 발명에 따른 결정 피드백 이퀄라이저에 사용될 수 있다는 것을 이해할 것이다. 예를 들어, 16개의 병렬 인코더들 및 디코더들을 갖는 결정 피드백 이퀄라이저, 트렐리스 코드 인터리버 및 디인터리버는 본질적으로 도 9 및 10에 도시된 바와 동일한 구조를 가질 것이지만, 당연히 바이트 인터리버와 맵퍼 사이에 총 16개의 트렐리스 인코더들 및 프리디코더들이 존재하고, 디코더 입력 멀티플렉서와 디멀티플렉서 사이에 16개의 트렐리스 인코더들이 존재한다는 것은 다르다. 물론, 멀티플렉서들 및 디멀티플렉서들은 모두, 12 대 1 대신에 16 대 1이 될 것이다. 마찬가지로, 그 구조는 단지 16개의 병렬 디코더들( 및 16 대 1 멀티플렉서 및 디멀티플렉서들)이 존재할 뿐, 도 11에 도시된 것과는 다를 것이다. 물론, 디코딩 출력은, 도 12 및 도 13에 도시된 192개 대신에 256개 기호들의 지연을 갖는다. 제 1 뱅크는 지연 엘리먼트들 0 내지 15를 수신할 것이고, 제 2 뱅크는 지연 엘리먼트들 16 내지 31을 수신할 것이고, 이하 같다.

또한, 본 발명에 따른 결정 피드백 이퀄라이저가 총 트렐리스 디코더 디코딩 길이(trellis decoder decoding length)보다 더 적은 탭들을 가질 수 있다는 것은 인식될 것이다. 예컨대, 트렐리스 디코더가 12개의 병렬 인코더들 및 디코더들과 16개의 디코딩 스테이지들을 가지면서, 결정 피드백 이퀄라이저가 96개의 탭들을 갖는다면, 결정 피드백 이퀄라이저는 첫 번째 8개의 트렐리스 디코더 스테이지들로부터 맵핑되고 스케일링된 출력을 취할 수 있다. 총 96개의 지연 엘리먼트들이 존재할 것이다. 예러 신호는 마지막 디코딩 스테이지의 맵핑되고 스케일링된 출력으로부터 양호하게 발생된다.

본 발명에 따른 이퀄라이저에서의 에러 신호가 짧은 지연으로 발생하는 것은 인식될 것이다. 예러 신호가 8 VSB 시스템에서 16개의 디코딩 스테이지들 후에 발생되면, 예컨대, 지연은, 도 11 및 도 12에 도시된 바와 같이, 192개의 기호들이다. 10.76 MHz의 기호 레이트(symbol rate)로, 지연은 약 17.8  $\mu$ s이다. 약 200 Hz, 또는 5ms의 최대 채널 왜곡 변화 레이트(maximum channel distortion varying rate)와 비교하여, 에러 신호의 발생에서의 지연은 매우 짧다. 따라서, 에러 신호 발생에서의 지연은 실질적으로, 변화하는 채널 왜곡에 기인한 유해 컨버전스(harm convergence)는 아닐 것이다.

더욱이, 병렬 인코더들 및 디코더들의 수가 총 지연이 변화하는 채널 왜곡의 트래킹을 훼손하기에 충분하게 길도록 충분히 크다면, 에러 신호는 더 앞선 디코딩 스테이지들(earlier decoding stages)에서 발생될 수 있다. 더 앞선 스테이지들은 마지막 디코딩 스테이지보다 더 높은 에러 레이트를 갖고, 따라서, 이는 단지 에러 신호 발생에서의 지연을 줄이는데 필요할 때 바람직하다. 그러나, 더 앞선 디코딩 스테이지들은 오히려 현저한 이득을 갖는다. 그러므로, 결과는, 예컨대 트렐리스 디코더에 대한 입력이 슬라이싱된 신호(sliced signal)인 시스템 상에 여전히 개선된 디코딩 이득일 것이다.

도 14는 (1400)에서 일반적으로 나타나는, 본 발명에 따른 양호한 실시예 이퀄라이저를 예시한다. 그것은, 원래의 에러 신호가 스태프 사이즈 (320)에 의해 승산된 후에 결과가 트렐리스 디코더(350)에 대한 입력의 지연된 버전에 의해 승산되지 않는 것을 제외하고, 도 8에 도시된 이퀄라이저와 유사하다. 대신에, 그것은 트렐리스 디코더(350)의 맵핑되고 스케일링된 출력(229)에 의해 승산된다.

도 15는 12개의 병렬 트렐리스 디코더들 및 16개의 디코딩 스테이지들을 갖는 것을 제외하고, 도 14에 도시된 것과 유사한 (1500)으로서 일반적으로 도시된 이퀄라이저의 일정한 요소들을 예시한다. 따라서, 그것은, 스태핑된 에러 신호가 그 입력보다는 오히려 트렐리스 디코더(350)의 맵핑되고 디코딩된 출력에 의해 승산되는 것을 제외하고, 도 13에 도시된 이퀄라이저와 유사하다.

트렐리스 디코더(350)의 출력(229)이 송신된 신호에 더 가깝게 대응하기 때문에, 계수 탭들은 더 정확하게 갱신된다. 따라서, 트렐리스 디코더(350)의 디코딩 이득은 에러 피드백을 통해 전파되고, 또한 트렐리스 디코더(350)의 성능이 개선된다. 또한, 트렐리스 디코더의 디코딩된 출력(229)이 그 입력 보다 더 적은 비트들을 갖기 때문에, 더 간단한 하드웨어가 이용될 수 있다.

그 분야에 숙련된 자들은 본 발명에 따른 이퀄라이저가 종래 기술의 이퀄라이저들 보다 이점들을 갖는다는 것을 인식할 것이다. 결정 피드백 이퀄라이저에 대한 입력은, 그것이 트렐리스 디코더의 맵핑되고 스케일링된 출력으로부터 취해지기 때문에, 더 적은 에러들을 갖는다. 트렐리스 디코더의 입력에서의 더 낮은 에러 레이트는 이퀄라이저를 더 안정시키고, 그것이 더 신속히 집중되게 한다. 또한, 트렐리스 디코더의 입력에서의 더 낮은 에러 레이트는, 더 나은 동화된 신호를 발생시키는, 그 출력에서의 훨씬 더 낮은 에러 레이트를 초래한다. 더욱이, 이퀄라이저는, 스테이지로부터 스테이지로 트렐리스 디코더로부터의 이득이 증가하기 때문에, 더 효과적으로 긴 포스트-고스트들(post-ghosts)을 제거한다. 제 1 트렐리스 디코딩 스테이지로부터 나오는 현저한 이득이 있고, 따라서, 결정 피드백 이퀄라이저는 개시에서 이롭다. 또한, 트렐리스 디코딩된 출력이 더 신뢰성 있고 정확하기 때문에, 결정 피드백 이퀄라이저에 대한 입력은 더 적은 비트들을 가질 수 있다. 이는 하드웨어 복잡도에서의 감소를 허용한다.

디코더 출력으로부터 에러 신호들을 발생시키기 위한 지연 라인을 제외하고, 이 이점들이 부가적인 하드웨어의 이용 없이 달성될 수 있음은 또한 인식될 것이다. 표준 비터비 알고리즘(standard Viterbi algorithm)을 이용하는 표준 트렐리스 디코더는 이용될 수 있다.

본 발명은 도면들 및 상기 서술에서 상세히 예시되고 서술되었지만, 동일한 것이 예시적이며 문자에서 한정적이지 않은 것으로 고려될 것이며, 단지 양호한 실시예가 도시되고 서술되었으며, 본 발명의 사상내에 속하는 모든 변화들과 수정들이 보호되기를 바란다는 점이 이해된다.

#### 발명의 효과

트렐리스 디코더, 트렐리스 디코더의 출력에 연결된 맵퍼 및, 맵퍼의 출력에 연결된 탭들을 갖는, 결정 피드백 이퀄라이저를 포함하는 적응성 이퀄라이저를 제공한다.

#### (57) 청구의 범위

#### 청구항 1.

적응성 이퀄라이저에 있어서,

16개의 스테이지들을 갖고, 디코딩된 출력을 생성하는 비터비 디코더 (Viterbi decoder)와,

상기 비터비 디코더의 디코딩된 출력에 연결된 매퍼로서, 맵핑된 출력을 생성하는 상기 매퍼와,

상기 맵핑된 출력에 연결된 결정 피드백 이퀄라이저로서, 16개보다 많은 탭들을 가진 상기 결정 피드백 이퀄라이저를 포함하고,

상기 탭들중 16개는 각각 상기 비터비 디코더의 16개의 스테이지들중 각각의 스테이지로부터의 출력을 상기 매퍼를 통해 입력으로서 수신하는, 적응성 이퀄라이저.

#### 청구항 2.

제 1 항에 있어서,

FIR 필터를 더 포함하는 적응성 이퀄라이저.

#### 청구항 3.

제 1 항에 있어서,

적어도 하나의 탭은 16번째 디코딩 스테이지로부터의 지연된 출력을 상기 매퍼를 통해 입력으로서 수신하는, 적응성 이퀄라이저.

#### 청구항 4.

적응성 이퀄라이저에 있어서,

16개의 스테이지들을 갖고, 디코딩된 출력을 생성하는 비터비 디코더와,

상기 디코딩된 출력에 연결된 매퍼로서, 맵핑된 출력을 생성하는 상기 매퍼와,

상기 맵핑된 출력에 연결된 결정 피드백 이퀄라이저로서, 16개보다 적은 탭들을 가진 상기 결정 피드백 이퀄라이저를 포함하고,

상기 탭들 각각은 상기 비터비 디코더의 16개의 스테이지들중 각각의 스테이지로부터의 출력을 상기 매퍼를 통해 입력으로서 수신하는, 적응성 이퀄라이저.

#### 청구항 5.

제 4 항에 있어서,

상기 탭들은 가장 이른 "x" 디코딩 스테이지들로부터 상기 출력을 수신하고, "x" 는 탭들의 수인, 적응성 이퀄라이저.

#### 청구항 6.

제 5 항에 있어서,

에러 신호는 상기 제 16 번째 디코딩 스테이지로부터 발생되는, 적응성 이퀄라이저.

청구항 7.

적응성 이퀄라이저에 있어서,

디코딩된 출력을 생성하는 트렐리스 디코더(trellis decoder)와,

상기 디코딩된 출력에 연결되고, 맵핑된 출력을 갖는 매퍼와,

상기 맵핑된 출력에 연결된 결정 피드백 이퀄라이저로서, 16개보다 적은 탭들을 갖는 상기 결정 피드백 이퀄라이저를 포함하고,

상기 탭들 각각은 상기 트렐리스 디코더의 16개의 스테이지들중 각각의 스테이지로부터의 출력을 상기 매퍼를 통해 입력으로서 수신하는, 적응성 이퀄라이저.

청구항 8.

결정 피드백 이퀄라이저와 트렐리스 디코더를 포함하는 적응성 이퀄라이저로서,

상기 결정 피드백 이퀄라이저는 상기 트렐리스 디코더로부터의 정보를 입력으로서 수신하는, 적응성 이퀄라이저.

청구항 9.

제 8 항에 있어서,

상기 트렐리스 디코더는 비터비 디코더인, 적응성 이퀄라이저.

청구항 10.

제 8 항에 있어서,

매퍼를 더 포함하고,

상기 트렐리스 디코더로부터의 정보는 상기 정보가 상기 결정 피드백 이퀄라이저에 입력되기 전에 상기 매퍼를 통과하는, 적응성 이퀄라이저.

청구항 11.

제 10 항에 있어서,

상기 트렐리스 디코더는 비터비 디코더인, 적응성 이퀄라이저.

청구항 12.

제 11 항에 있어서,

상기 비터비 디코더는 16개의 스테이지들을 가진, 적응성 이퀄라이저.

청구항 13.

적응성 이퀄라이저에 있어서,

FIR 필터와,

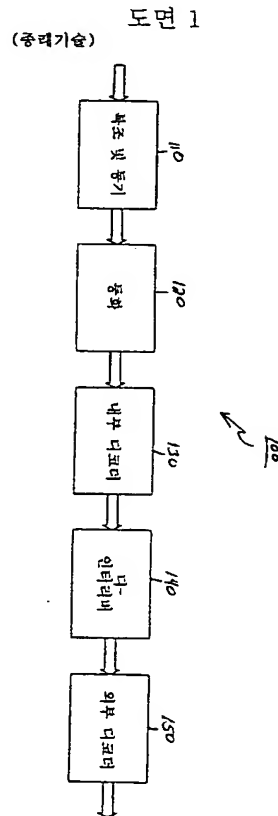
상기 FIR 필터에 연결되고, 디코딩된 출력을 가진 트렐리스 디코더와,

맵퍼와,

상기 맵퍼를 통해 상기 FIR 필터 및 상기 트렐리스 인코더에 연결되는 결정 피드백 이퀄라이저를 포함하고,

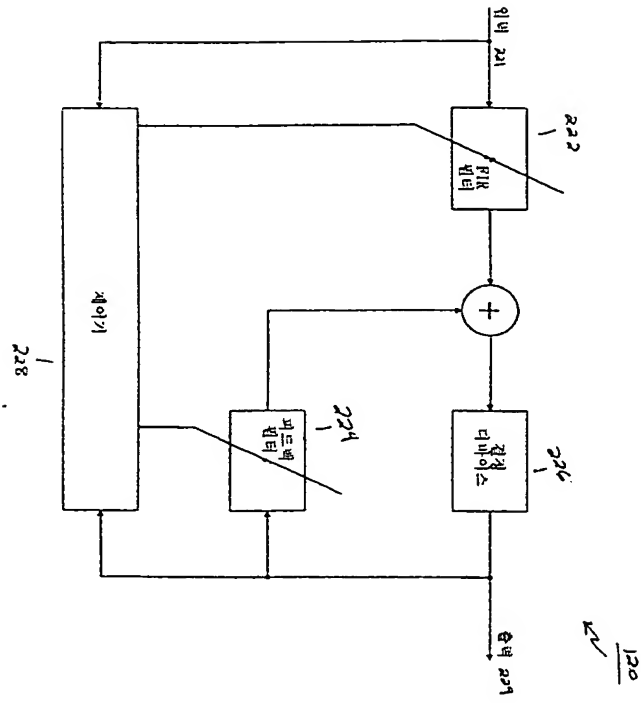
상기 디코딩된 출력은 상기 맵퍼에 의해 맵핑 및 스케일링되고, 에러 신호를 발생시키도록 상기 적응성 이퀄라이저에 의해 이용되는, 적응성 이퀄라이저.

도면



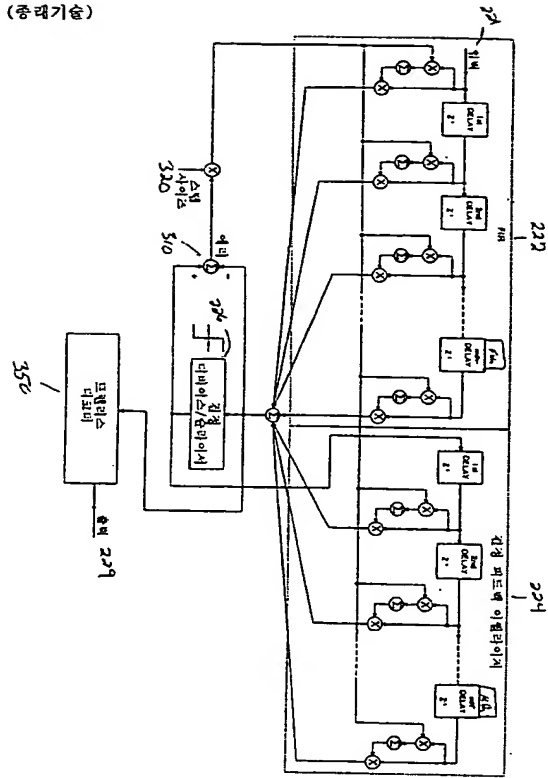
도면 2

(종래기술)



도면 3

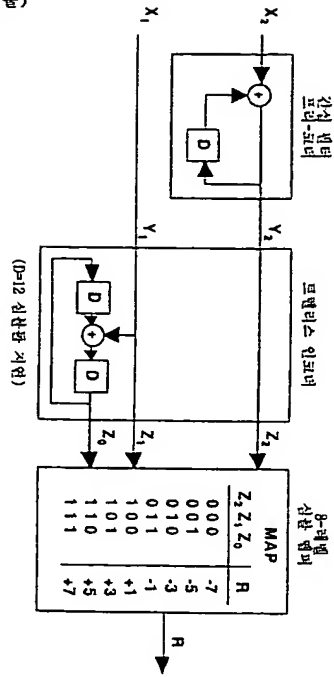
(종래기술)





도면 4

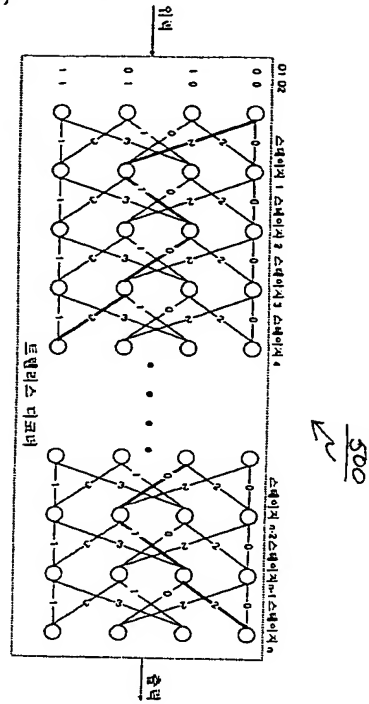
(종래기술)



400

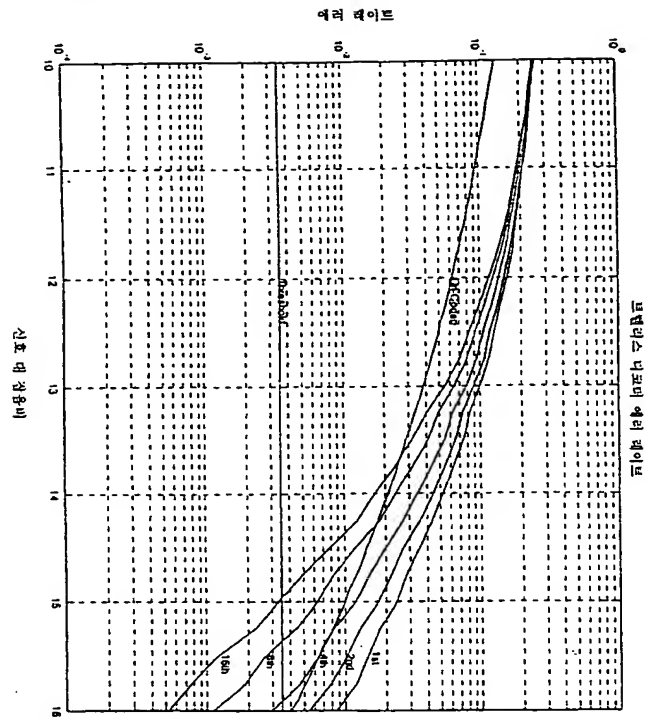
도면 5

(종래기술)



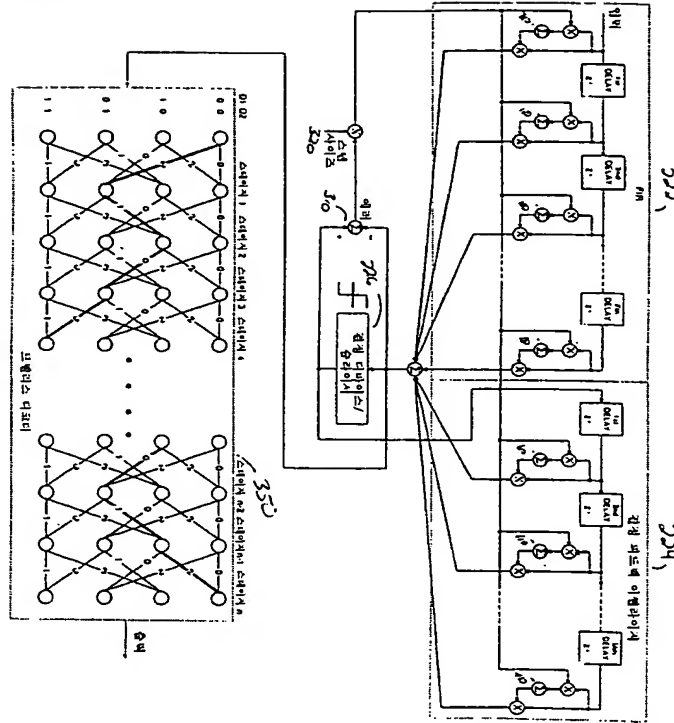
도면 6

(종래기술)

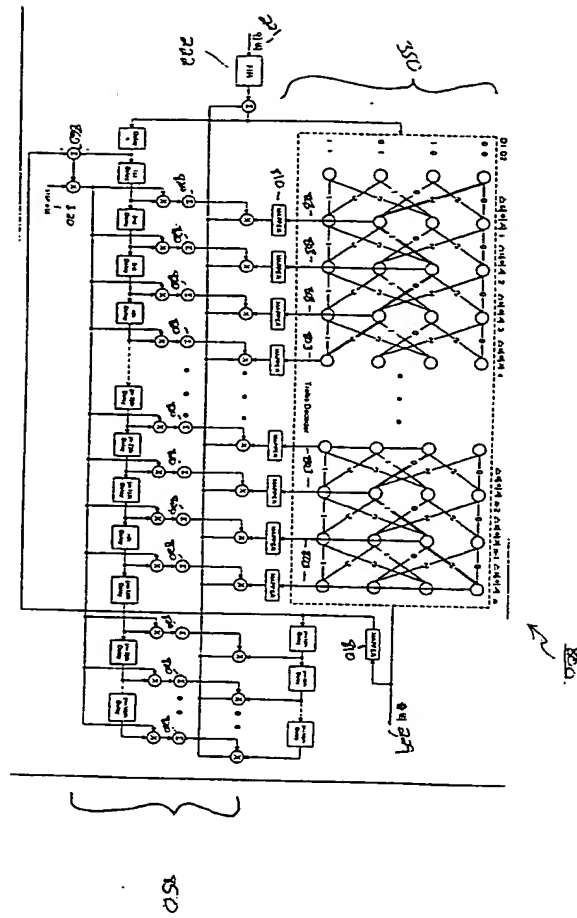


도면 7

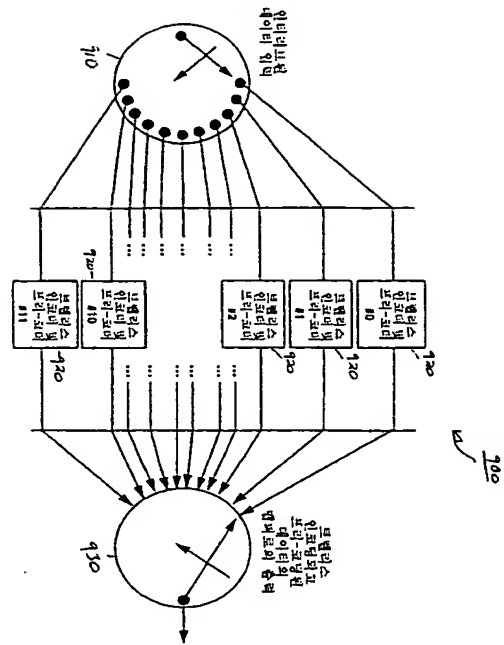
(종래기술)



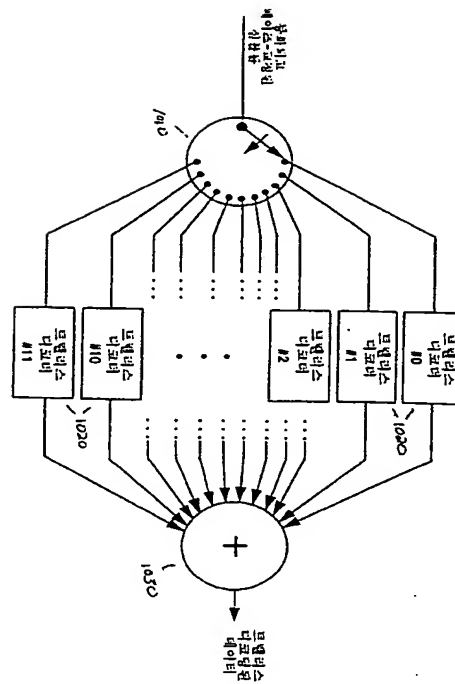
도면 8



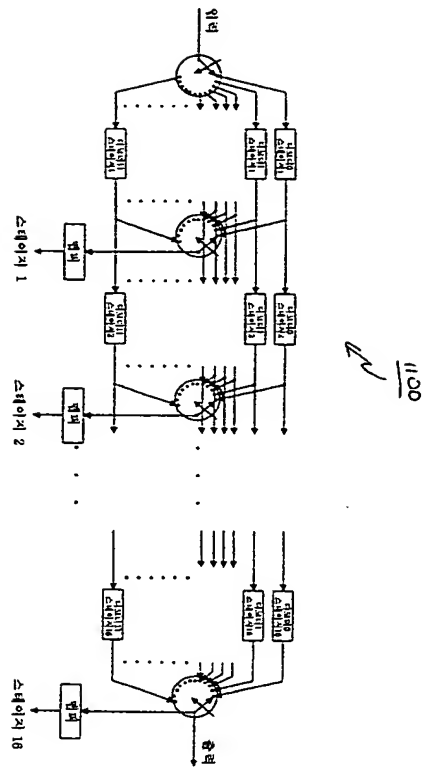
도면 9



도면 10

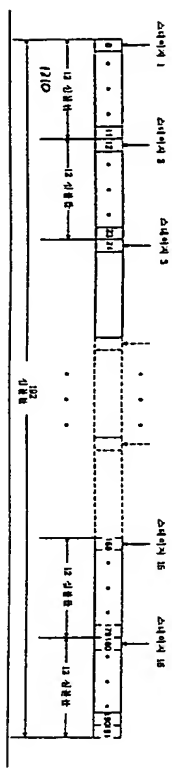


도면 11

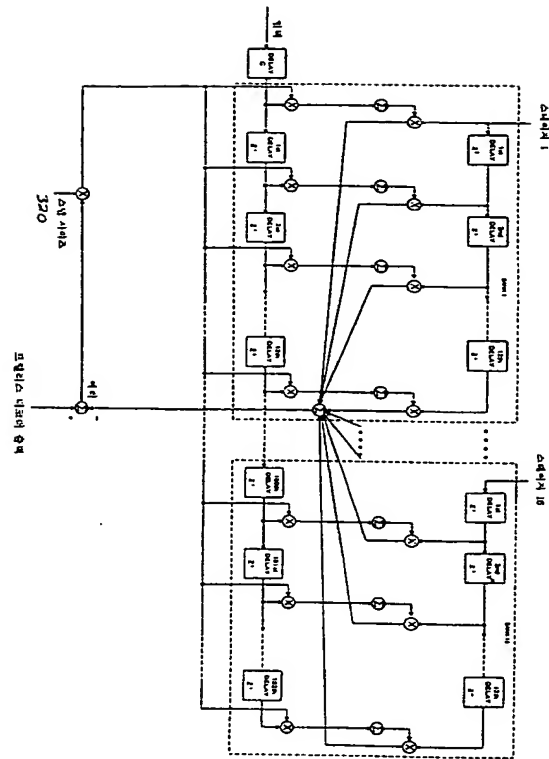




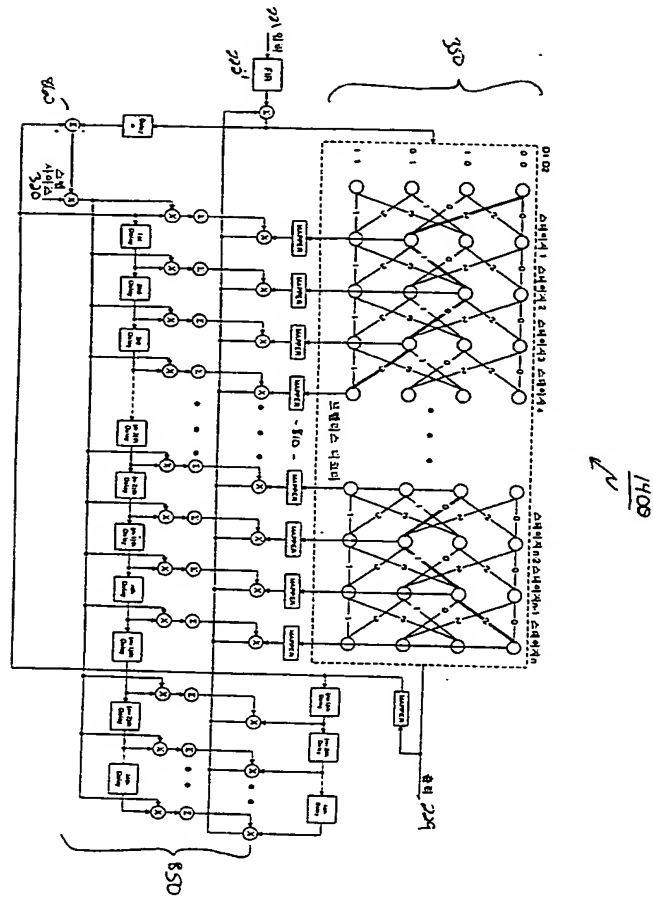
도면 12



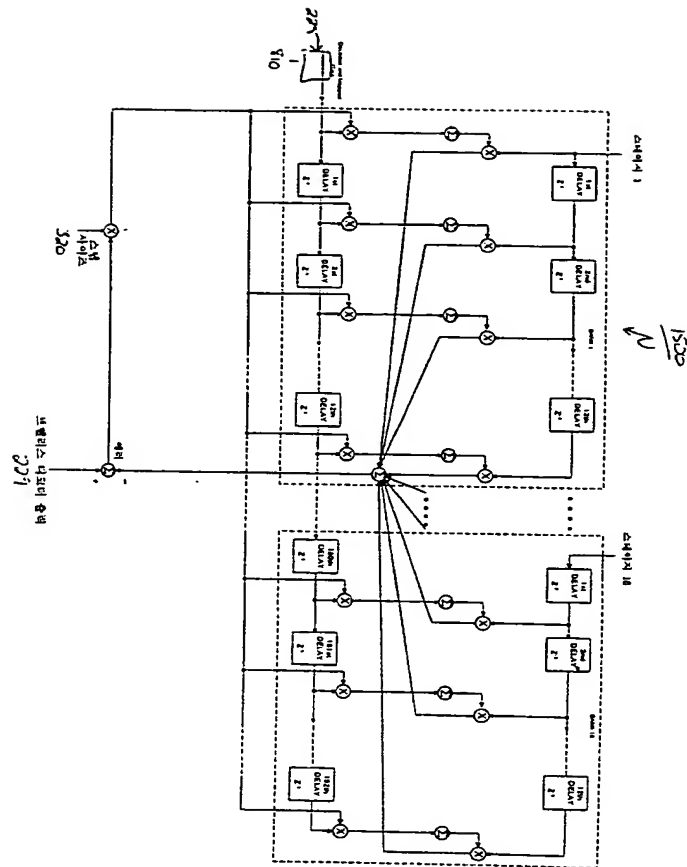
도면 13



도면 14



도면 15



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**